

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223720
 (43)Date of publication of application : 11.08.2000

(51)Int.CI. H01L 29/861
 H01L 21/322

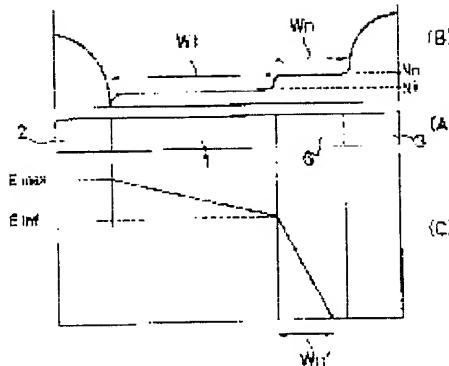
(21)Application number : 11-021637 (71)Applicant : MEIDENSHA CORP
 (22)Date of filing : 29.01.1999 (72)Inventor : YAMADA SHINICHI

(54) SEMICONDUCTOR ELEMENT AND LIFE TIME CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To relax rapid current drop at the time of the end of inverse recovery, and to reduce spike voltage.

SOLUTION: A p type anode layer 2 and an n⁺ type cathode layer 3 are respectively formed at one edge and the other edge of a substrate constituted of an n type semiconductor whose density is extremely low, and an i layer 1 is formed between the p type anode layer 2 and the n⁺ type cathode layer 3 in this semiconductor element. An n type impurity layer 6 whose density is lower than that of the n type cathode layer 3 is formed between the i layer 1 and the n⁺ type cathode layer 3. A distance Wn of the n type impurity layer 6 is made sufficiently shorter than a distance Wi of the layer 1. Also, the following formula is established by defining the maximum electric field intensity as Emax, and electric field intensity when the inclination of the electric field is changed due to the difference of density of the i layer 1 and the n type impurity layer 6 as Einf, and a distance from the distance Wi when the electric field is turned into 0 as Wn' (Wn' < Wn) for obtaining a design breakdown strength Vb of the semiconductor element. In this formula, $Vb = (Emax + Einf)Wi / 2 + EinfWn' / 2$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-223720

(P2000-223720A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl.⁷

H 01 L 29/861
21/322

識別記号

F I

H 01 L 29/91
21/322
29/91

テ-モト(参考)

D
L
J

審査請求 未請求 請求項の数15 O.L (全13頁)

(21)出願番号

特願平11-21637

(71)出願人 000006105

株式会社明電舎

東京都品川区大崎2丁目1番17号

(22)出願日

平成11年1月29日(1999.1.29)

(72)発明者

山田 真一

東京都品川区大崎2丁目1番17号 株式会

社明電舎内

(74)代理人 100062198

弁理士 志賀 富士弥 (外1名)

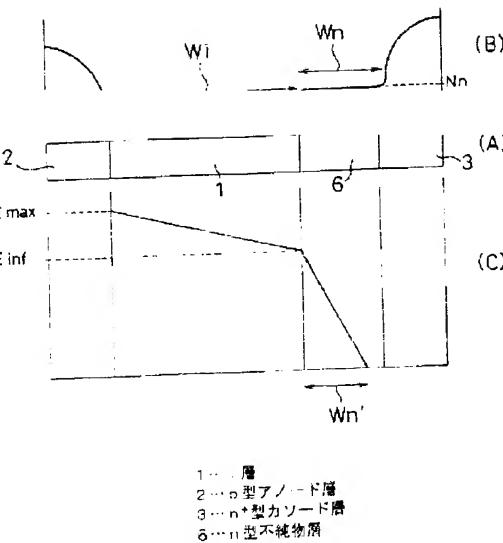
(54)【発明の名称】 半導体素子およびライフタイム制御方法

(57)【要約】

【課題】 逆回復終了時の急激な電流低下を緩和し、スパイク電圧を抑制する。

【解決手段】 極めて低濃度のn型半導体から成る基板

本発明の実施の第1形態におけるp-i-nダイオード



型カソード増殖を形成し、前記p型アノード層1とn型カソード層3との間に、層1を形成して成る半導体素子において、前記層1とn型カソード層3との間に、n型カソード層3よりも低濃度のn型不純物層6を形成する。前記n型不純物層6の距離Wnは前記i層1の距離Wiと比較して十分短くする。また、前記半導体素子の設計耐圧Vbを得る必要があるため、最大電界強度をE_{max}、i層1とn型不純物層6との濃度差によつて電界の傾きが変化する際の電界強度をE_{inf}、電界が0になつた際のWiからの距離をWn' (Wn' < Wn)として、下記の式が成り立つようとする。

$$V_b = (E_{max} - E_{inf})W_i / 2 - E_{inf}W_n'$$

【特許請求の範囲】

【請求項1】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、

前記カソード層と1層との間に、前記カソード層と比較して高濃度のn型半導体から成る不純物層を設けたことを特徴とする半導体素子。

【請求項2】 前記不純物層の厚さは、前記1層の厚さと比較して薄いたことを特徴とする請求項1記載の半導体素子。

【請求項3】 一導電性誘電率をε、半導体材料の比誘電率をε₀、電子の電荷量をq、カットオフ電圧をE₀V、前記1層の濃度をN₁、前記1層の厚さをW₁、前記不純物層の濃度をN₂、前記不純物層の厚さをW₂、前記不純物層における電界が0の部分と前記W₁との間の距離をW₃、最大電界強度をE₃max、前記1層とn型半導物層との濃度差によって電界の傾きが変化する際の電界強度をE₄(n)、設計耐圧をVb、前記アノード層と1層との接合で得られる最大の耐電圧値をVb'mとして

Vb' = (E_{3max} \cdot F_{3max} \cdot W_1 / 2 + E_{4(n)} \cdot W_2 / 2)

前記E₃maxは前記1層の濃度N₁の関数: $E_{3max} = (2 \cdot \epsilon \cdot Vb'm / q \cdot N_1)^{1/2}$ 、
前記E₄(n)は $E_{4(n)} = q \cdot N_2 \cdot W_2 / \epsilon_0 \cdot \epsilon$ 、
前記W₃は $W_3 = \epsilon_0 \cdot \epsilon / (q \cdot N_1 \cdot \epsilon_0 \cdot \epsilon)$

が成り立つようにすると共に、前記W₃からW₄'を引いた距離が前記カソード側における電界の距離と比較する。

$$Vb = \left(\sum_{x=0}^{n-1} (E_{(x)} + E_{(x+1)}) W_{(x)} + E_{(n)} W_{(n)}' \right) / 2$$

前記Vb'mは $6.0 \cdot (10^{16}) \cdot (N_1)^{3/4} \cdot (E_0 \epsilon / 1.1)$

3.2、となるようにし

前記W₃からW₄'を引いた距離が前記基板のカソード側に生じる電界の厚さと比較して厚くするように、前記1層の濃度、厚さおよび前記不純物層の濃度、厚さを設計したことを特徴とする請求項1記載の半導体素子。

【請求項4】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子において、

前記1層とカソード層との間に、それそれ前記1層の濃度と比較して高濃度のn型半導体から成る不純物層を複数段設けたことを特徴とする半導体素子。

【請求項5】 前記不純物層は、前記1層の濃度N₁と比較して高濃度のn型半導体から成る第1不純物層と、前記第1不純物層と比較して高濃度のn型半導体から成る第2不純物層と、が成ることを特徴とする請求項4記載の半導体素子。

【請求項6】 前記不純物層を2段設け、前記1層の濃度をN₁、厚さをW₁として、前記基板の深さと前記の任意の距離をx、そのxにおける電界をE₃(x)、厚さをW₃(x)、濃度をN₃(x)として、2段目の不純物層の電界をE₄(x)、厚さをW₄(x)として、前記2段目の不純物層における電界が0の部分と前記W₁との間の距離をW₅(x)とし、設計耐圧をVbとして、下記の式

【数1】

$$(x-d0)^2$$

倍になら部分との間の距離をW₆として

【数2】

$$N_{(x)} = N_1 + (N_2 - N_1) \cdot \frac{W_3(x)}{W_3 - W_1}$$

が成り立つようにし

前記N₃(x)の式は、15nmの微小な間隔xを前記設計耐圧Vb'の式のW₃(x)とすると共に、前記微小な間隔xの濃度をN₃(x)として求めた耐圧が設計耐圧となるように、前記N₁、n₀、W₁を設計したことを特徴とする請求項6または7記載の半導体素子。

【請求項7】 低濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカソード層を形成し、前記アノード層とカソード層との間に1層を形成して構成された半導体素子のイオンチャージ制御方法において

電流の急激な減少が起こる直前の印加電圧によって生じ

となることを特徴とする半導体素子。

【請求項8】 前記複数段の不純物層は、濃度分布の式が近似的にガウス分布によって表すことができる距離d₀からビーグ濃度N₃の拡散を行って形成し、前記d₀と、前記拡散による濃度が1層の濃度N₁との

$$E_{(n)} = q / \epsilon_0 \epsilon \times \sum_{x=0}^{n-1} (N_{(x)} W_{(x)})$$

る電界で、前記カート層の一端とカート層との間のライタスムを長くすないように、前記基板のアノード側から比較的低加電圧の電子線照射を行なうことを特徴とするライタスム制御方法。

【請求項10】 前記基板のアノード側から比較的低加電圧の電子線照射を行なう代わりに、前記基板のカート層の比較的高加電圧の電子線照射を行なうことを特徴とするライタスム制御方法。

【請求項11】 稀濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカート層を形成し、前記アノード層とカート層との間に干渉を形成して構成された半導体素子のアノード側、カート側、基板側において、

電子線、フロント、ヘリウム等の荷電粒子のうち、何れか1種類の荷電粒子を前記基板に対して少なくとも2回以上照射し、電流の急激な減少が起る直前の印加電圧によって生じる電界が、カート層の一端とカート層との間にライタスムを長くするように制御したことと特徴とするライタスム制御方法。

【請求項12】 前記電子線、フロント、ヘリウム等の荷電粒子のうち、それそれ異なる種類の荷電粒子を前記基板に対して複数回照射することと特徴とする請求項1-1記載のアノード側、カート側、基板側方法。

【請求項13】 試験荷電粒子は、前記基板のアノード側、カート側、またはアノード側か、カート側に対する照射したことと特徴とする請求項1-1または1-2記載のライタスム制御方法。

【請求項14】 稀濃度のn型半導体から成る基板の一方の端部にはp型半導体から成るアノード層を形成すると共に、前記基板の他方の端部には比較的高濃度のn型半導体から成るカート層を形成し、前記アノード層とカート層との間に干渉を形成して構成された半導体素子のアノード側、カート側、基板側において、

前記カート層におけるアノード側、カート側におけるアノード層との間の一端にライタスムを長くするように制御したことと特徴とするライタスム制御方法。

【請求項15】 請求項1-13記載の半導体素子において、請求項1-14記載のライタスム制御方法を適用したことと特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術】 本発明は、電力変換装置に使用される半導体素子特にp-i-nダイオードに関する、電流減少による静電誘導を抑制して、安定した動作を可能にした半導体素子およびライタスム制御方法に関するものである。

【0002】

【従来の技術】 p-i-nダイオードは、電力変換装置に広く使われ、高耐圧と低い順方向電圧降下とを実現することができる半導体素子である。

【0003】 図1-A(概略構成図)、B(有純物濃度分布図)は、一般的に用いられているp-i-nダイオードの説明図を示すものである。図1-Aにおいて、符号1は、極めて低濃度のn型半導体から成る基板(一極側), 2, n型半導体から成るアノード層(二極側領域: 以下、p型アノード層)を示すものであり、符号3は前記基板の他方の端部に設けられた比較的高濃度のn型半導体から成るカート層(カート領域: 以下、p型カート層と称する)を示すものである。符号4は、前記アノード層とカート層との間に形成されたp-i-nダイオード構成である。

【0004】 図1-Bに示したよななp-i-nダイオードは、逆電圧印加時にカート層が空乏化し、高い電圧で漏電が得られる。漏電特性においては、低い電圧にてキャリアが充満し、低い電圧降下が生じる。

【0005】

【発明が解決する課題】 前記p-i-nダイオードの逆電圧特性において、図1-B逆電圧降下が生じるカート層におけるp-i-nダイオードは有極性のアノード端部5を接続した場合、図2(Ⅰ)の電流(曲線Ⅰ)、電圧(曲線Ⅱ)波形圖が示す特性を示す。図2(Ⅰ)において、p-i-nダイオードにおける電流は、電流曲線Ⅰaにおける逆電圧で漏まれた部分に重ねて、連続点線部ではなく、突然消滅(実線部)していることが読み取れる。このような急峻な止まりにされ、高い印加電圧の状態がアノード側の誘導電圧が重畳された状態になり、その誘導電圧が耐圧を超えた場合には、ダイオードが破壊されてしまう。

【0006】 図2(Ⅱ)は、p-i-nダイオードにおける経過

時間と漏れ電流との関係である。図2(Ⅱ)は、漏れ電流が漏滅する部分を示したものである。図2(Ⅱ)中の電流曲線Ⅱaにおいて、a点はp-i-nダイオードの順方向電流が漏滅する直前の部屋で、b点はp-i-nダイオードの順方向電流が消滅した部屋を示すものである。

【0007】 図2(Ⅱ)の(Ⅱ)、(Ⅲ)、(Ⅳ)は、それそれぞれp-i-nダイオードの端部(アノード層側の端部)に対する電子濃度分布図、電子密度分布図、電界強度分布図である。これらは、図2(Ⅱ)、(Ⅲ)に示したように、順電圧の時間に沿ってアノード層に近いキャリア、電子およびホール濃度が急激に低下していくために、図2(Ⅱ)に示したような急激な電流

の減少が起こることを特徴した。

【00105】また、図24に示すようにp+nタイプ一侧は、n型アノード層側の電界とは別にn+n型カソード層側においても電界(図24中の点線部)が生じてしまい、そのためp型アノード層側とn+n型カソード層側との各電界を互いに重なり合うために、n+n型カソード層側のカーリングが急激に減少してしまうことを読み取ることができる。

【00106】本発明は、前記課題に基いて構成されたものであり、起動復帰時の電流の急激な電流低下を緩和してスイッチ電流の発生を抑制して、安定した動作が可能でp+n+nタイプ等の半導体素子およびダイオードの制御方法を提供することにある。

【00107】

【課題を解決するための手段】本発明は、前記課題の解決を目的ために、第1発明は、低濃度n型半導体から成る基板の一方の端部にはn型半導体から成るp+n型カソード層を形成すると共に、前記基板の他方の端部には比較的高濃度n型半導体から成るn+n型カソード層を形成し、前記p+n型カソード層とn+n型カソード層との間にn層を形成して構成されたn層は、前記カソード層とn層との間に、比較的低濃度n型半導体から成るn純物層を設計することを特徴とする。

【00108】第2発明は、前記第1発明において、前記n純物層の厚さは、前記n層の厚さと比較して薄いことを特徴とする。

【00109】第3発明は、前記第1発明において、真空中の誘電率をε、半導体材料の比誘電率をε、電子の電荷量をq、p+n型カソード層をE_(g)、前記n層の濃度をN₍₁₎、前記n層の厚さをW₍₁₎、前記n純物層の濃度をN_(n)、前記n純物層の厚さをW_(n)、前記n純物層における電界が0の部分と前記W_(n)との間の距離をW_(n')、最大電界強度をE_(n')、前記n層とn型n純物層との濃度差による電界の傾きが変化する際の電界強度をE_(n)と

f、設計耐圧をV_b、p+n接合で得られる最大耐電圧値をV_{b'm}として、前記V_bは(E_{max}+E_(n))W₍₁₎/(2+E_(n)W_(n'))^{1/2}、前記E_{max}は前記n層の濃度N₍₁₎の開放(2V_{b'm})/(2ε₍₀₎V_{b'm}·qN₍₁₎)^{1/2}、前記E_{in}はE_{max}·qN₍₁₎W₍₁₎/ε₍₀₎、前記W_(n')はE_{in}/(qN₍₁₎ε₍₀₎)、前記V_{b'm}はε₍₀₎(10¹⁶·N₍₁₎)^{3/4}×(E_(g)/1-1)^{1/2}となるようにし、前記W_(n')がW_(n')を引いた距離が前記基板のカソード側に生じる電界の厚さと比較して厚いするように、前記n層の濃度、厚さおよび前記n純物層の濃度、厚さを設計したことを特徴とする。

【00110】第4発明は、低濃度n型半導体から成る基板の一方の端部にはp型半導体から成るp+n型カソード層を形成すると共に、前記基板の他方の端部には比較的高濃度n型半導体から成るp+n型カソード層を形成し、前記p+n型カソード層とp+n型カソード層との間にn層を形成して構成されたn層は前記n層と比較して高濃度n型半導体から成るn純物層を設計することを特徴とする。

【00111】第5発明は、前記第4発明において、前記n純物層は、前記n層の濃度N₍₁₎と比較して高濃度n型半導体から成る第1n純物層と、前記第1n純物層と比較して高濃度n型半導体から成る第2n純物層と、が成ることを特徴とする。

【00112】第6発明は、前記第4発明において、前記n純物層をC段設け、前記n層の濃度をN₍₁₎、厚さをW₍₁₎とし、下導体基板の表面の任意の距離をx、そのxにおける電界をE_(x)、厚さをW_(x)、濃度をN_(x)とし、C段のn純物層の電界をE_(x)、厚さをW_(x)とし、前記C段の下導体n純物層における電界が0の部分と前記W_(x)との間の距離をW_(x')とし、設計耐圧をV_bとして、下記の式式。

【00113】

【放4】

$$E_{(0)} = q / \epsilon_0 \epsilon \times \sum_{x=0}^{n-1} (N_{(x)} W_{(x)})$$

【00114】となることを特徴とする。

【00115】第8発明は、前記第6または第7発明において、前記複数段のn純物層は、濃度分布の式を近似的にガウス分布となるように基板の距離x(0から)で、各濃度N_(x)の分散をxで乗じて重ねし、前記xと、前記分散による濃度が1層の濃度N₍₁₎の2倍になる部分との間の距離をW_dとして、

【00116】

【放5】

$$N_{(x)} = N_i + (N_n - N_i) \left(\frac{N_i}{N_n - N_i} \right)^{\frac{(x-d0)^2}{Wd^2}}$$

【0023】が成り立つようにし、前記N_(x)の式におけるxの微小区間△xを前記設計耐圧V_bの式のW_(x)と△xと共に、前記微小区間△xの濃度をN_(x)として求めた耐圧が設計耐圧にならう。前記N_(x)、d₀、W_dを設計したことを特徴とする。

【0024】第9発明は、低濃度のn型半導体から成る基板の一方の端部にはn型半導体から成るアーボード層を形成すると共に、前記基板の他方の端部には比較的高濃度のp型半導体から成るカーボン層を形成し、前記アーボード層とカーボン層との間にn層を形成して構成された半導体粒子アーボード層制御方法において、電流が急激な減りが起る直前の印加電圧によって生じる電界で、前記n層側の一端とカーボン層側の一端との間のアーボード層を長くするように、前記基板のアーボード側から比較的低加速電圧の電子線照射を行ったことを特徴とする。

【0025】第10発明は、前記第9発明において、前記基板のアーボード側から比較的低加速電圧の電子線照射を行った中に、前記基板のカーボン側から比較的高加速電圧の電子線照射を行ったことを特徴とする。

【0026】第11発明は、低濃度のn型半導体から成る基板の一方の端部にはn型半導体から成るカーボン層を形成すると共に、前記基板の他方の端部には比較的高濃度のp型半導体から成るカーボン層を形成し、前記アーボード層とカーボン層との間にn層を形成して構成された半導体粒子アーボード層制御方法において、電子線、フロント・リリフーム等の荷電粒子の中から何れか1種類の荷電粒子を前記基板に対して、1度と2度以上照射し、電流が急激な減りが起る直前の印加電圧によって生じる電界で、n層側の一端とカーボン層との間のアーボード層を長くするように制御したことを特徴とする。

前記電子線、フロント・リリフーム等の荷電粒子の中から何れか異なる種類の荷電粒子を前記基板に対して複数回照射したことを特徴とする。

【0028】第13発明は、前記第11または第12発明において、前記荷電粒子は、前記基板のアーボード側、カーボン側、またはアーボード側によくカーボン側に付して照射したことを特徴とする。

【0029】第14発明は、低濃度のn型半導体から成る基板の一方の端部にはn型半導体から成るアーボード層を形成すると共に、前記基板の他方の端部には比較的高

$$V_{b} = E_{max} \times E_{min} \times W_1 / 2 + E_{min} \times W_1 / 2 \times 2 \quad (1)$$

前記(1)式が成り立つ必要がある理由は、耐圧における電界がn型カーボン層に達しないようにするためである。

濃度のn型半導体から成るカーボン層を形成し、前記アーボード層とカーボン層との間にn層を形成して構成された半導体粒子アーボード層制御方法において、前記n層におけるアーボード側とカーボン側とにマイクロタイム制御層を設けることにより、電流の急激な減少が起る直前の印加電圧によって生じる電界で、n層側の一端とカーボン層側の間のアーボード層を長くするように制御したことを特徴とする。

【0030】第15発明は、前記第1～第8発明において、前記第9～第14発明アーボード層制御方法を適用したことを特徴とする。

【0031】

【発明の実施の形態】以下、本発明の実施の第1～第14形態を図面に基づいて、詳説明する。

【0031】本発明の実施の第1～第7形態は、逆回復終了時の電流が急激な電流低下を緩和し、スマート電圧の発生を抑制するマイクロタイム制御方法である。

【0032】図1A(概略構成図)、B(不純物濃度分布図)、C(荷電印加端子)電界強度分布図は、本発明の実施の第1形態におけるn型アーボード層の説明図を示すものである。図1において、符号1はn層、2はアーボード層とn層との間に形成されるn型半導体から成る不純物層、3はアーボード層よりの電界強度(以下「電界」と呼ぶ)、4はアーボード層とn層との距離である。

【0034】ここで、前記n層1における距離、厚さ、をW₁、そのn層1の不純物濃度をN_nとする。前記n型不純物層2の距離をW_n、そのn型不純物層6の不純物濃度をN_nとする。また、前記W₁とW_nにおいて、前記W_nが長く(即ち)たれ高くなると頂点耐電圧降下が昇る傾向がある。前記W_nは前記W₁と比較して十分短く(薄く)する必要がある。そのため、前記W₁とW_nにおいて、開端式W₁～W_nを形成することが必要である。

【0035】また、n層1はアーボードの設計耐圧V_bが

極端に、すなはち一方的に(即ち)アーボード側)で、他の側で最大電界強度E_{max}にまで規定されるまでに設計した場合、p型アーボードにおいて近似的に下記の(1)式が成り立つ必要がある。すなはち、n層1はn層1とp型不純物層6との濃度差によって電界の傾きが変化する際に電界強度を示すものである。また、W_nは電界が0にならない際のW₁より距離であり、そのW_nはW₁と比較して小さいものとする。

【0036】

$$V_{b} = E_{max} \times E_{min} \times W_1 / 2 + E_{min} \times W_1 / 2 \times 2 \quad (1)$$

【0037】前記1式のE_{max}～E_{min}は、下記のN_nの関数で表すことができる。すなはち、V_{bmin}はn層1が十分に長い場合に得られる最大の耐電圧値(即ちアーボード層と

1層との接合(p-n接合)で得られる最大耐電圧値)を示すものである。

$$V_{lb} = (2 \times eV_{lb} \ln (qN_1))^{1/2} \quad \dots \dots (2)$$

また、E in においては、

$$E_{in} = qN_1 W_{in} \ln (e) \dots \dots (3)$$

W_{in} においては、

$$W_{in} = 6.0 \times 10^{-2} \times N_1^{1/2} \times (E_{in} / 1.1)^{1/2} \dots \dots (4)$$

を表すことができる。ここで、前記(1)は真の転電率、 ϵ は半導体中の比誘電率、 q は電子の電荷量、 E_{in} はp-n接合部の電場であるものとする。また、W_{in} はW_nを差し引いた距離、すなはちド側に生じる電界の距離と比較して長いものとする。

【0039】次に、本実施の実施の第2手段を説明する。前記(1)に示したp-nダイオード、サードのN₁の濃度とN₂の濃度を考慮して、1層1とn型不純物層との接合においては、層1とn型不純物層との接合によって現象と同様現象が生じ、この電場が発生する場合がある。この場合、N₂の濃度を薄くするとW_{in}が長くなってしまい、順方向電圧降下の上昇を招くこととなる。そこで、図2(詳細を省略する)の本実施の第2手段においては、1層とn型ワード層との間に複数段の不純物層を設けた構造のp-nダイオードの構成設計を行った。

【0040】図2(A)(概略構成図)、B(不純物濃度分布図)、C(耐圧印加時の電界強度分布図)は、本実施の第2手段におけるp-nダイオードの説明図を示すものである。なお、図1に示すものと同様なものには同一符号を付して、その詳細な説明を省略する。

$$V_{lb} = \left(\sum_{x=0}^{n-1} (E_{(x)} + E_{(x+1)}) W_{(x)} + E_{(n)} W_{(n)} \right) / 2 \quad \dots \dots (5)$$

【0044】なお、前記W_(x)からW_(n)を差し引いた距離は、ワード側に生じる電界の距離と比較して長いものとする。

$$E_{(n)} = q / \epsilon_0 \epsilon \times \sum_{x=0}^{n-1} (N_{(x)} W_{(x)}) \quad \dots \dots (6)$$

【0046】次に、本実施の実施の第3手段を説明する。図3(A)(概略構成図)、B(不純物濃度分布図)、C(耐圧印加時の電界強度分布図)は、本実施の第3手段においては、図1に示すものと同様なものには同一符号を付して、その詳細な説明を省略する。図1に示すp-nダイオードのカソード側に1層1型不純物層によるワードを設けて、1層1とn型カーボード層との間にn型拡散層を形成する。前記n型拡散層8の不純物濃度はガウス分布を示し、そのガウス分布は下記の数式で表すことができる。

【0038】

$$E_{in} = qN_1 \ln (e) \dots \dots (4)$$

V_{lb} においては

$$W_{in} = 6.0 \times 10^{-2} \times N_1^{1/2} \times (E_{in} / 1.1)^{1/2} \dots \dots (5)$$

【0041】図2において、符号7aは、1層1とn型カーボード層との間に設けられる第2n型不純物層との間に設けられる第1n型不純物層を示すものであり、その第1n型不純物層7aの不純物濃度は前記1層1の不純物濃度よりも高いものとする。符号7bは、前記第1n型不純物層7aとn型カーボード層3との間に設けられる第2n型不純物層を示すものであり、その第2n型不純物層7bの不純物濃度は第1n型不純物層7aの不純物濃度よりも高く、且つ前記n型カーボード層3よりも低いものとする。前記第1n型不純物層7aおよび第2n型不純物層7bの不純物濃度の比率は、スライク電圧が発生しないように制御される。

【0042】図2に示したp-nダイオードの場合、1層1とn型カーボード層3との間には2段のn型不純物層(第1、第2n型不純物層)を形成して成るが、それらn型不純物層を複数段にすることにより、順方向電圧降下の上昇をより抑えることができる。併せて、前記複数段のn型不純物層を1段にした際の耐圧V_{lb}は、下記の数式が成立する。

【0043】

【数7】

$$\dots \dots (6)$$

(2式)で表すことができる。E_(n)(n=0)は下記の数式で表すことができる。

【0047】

【数8】

$$N_{(n)} = N_1 - (N_1 - N_2) \left(\frac{N_1}{N_1 - N_2} \right)^{\frac{(x-d0)^2}{Wd^2}} \dots \dots (8)$$

【0048】なお、前記(8)式におけるxの微小区間△xに前記(6)式のW_(n)とし、その際の不純物濃度をN_(n)とすると、前記(6)式と同様に耐圧を計算することができる。その耐圧がp-nダイオードの設計耐圧となる。

ようにN_n、d₀、W_dを設計する。

【0049】前記(8)式より、 \times がd₀のときにN_n = N_nとなることを証明することができる。前記(9)はn_n接合1層とn型ウエーブ層との接合によりnカーボン側に位置するものとし、基子内部に位置する必要は無い。また、前記(9)を条件では、一般的にウエーブ側に対する不純物濃度を増加するような構造にすることができる。なお、前記(13)中の放電部は、前記(8)式を考慮して不純物(1)型不純物層を拡散させた際の不純物濃度分布を示すものであり、さきにn型不純物を拡散させた際の不純物濃度分布は実現部に示される。

【0050】次に、本発明の実施の第4形態を説明する。図4 A(概略構成図)、B(不純物濃度分布図)、C(耐圧印加時の電界強度分布図)は、本実施の第4形態において、 \times をタタキオート上に設けた場合に示すものと同様なものを示す。符号を付けて、各詳細を説明を省略する。図4において、符号 \times は、n型不純物層(1)とn型ウエーブ層(2)との間に設けた比較的低濃度のn型半導体から成る不純物層(以下n型不純物層(3)と呼ぶ)を示すものとする。一方のn型不純物層(3)と不純物濃度は前記(8)型不純物層(1)より低いものとする。

【0051】図4において、 \times をタタキオート上に設けた場合のn型不純物層(3)の不純物濃度N_{n3}は、上層1(不純物濃度N_{n1})より低い。ただし、例文は図5 A(概略構成図)、B(不純物濃度分布図)に示すように、 \times をp型ウエーブ層構成しても良い。また、図6 A(概略構成図)、B(不純物濃度分布図)に示すように、n型不純物層(3)の濃度N_{n3}を上層1(濃度N_{n1})より高くしても良い。なお、前記(9)タタキオートにおける耐圧印加時の電界は、n型不純物層(3)内あるいはn型不純物層(3)内に存在しても問題は無いが、その電界をカーボン側から生じる電界を考慮するに至る必要がある。

【0052】図7 A(概略構成図)、B(不純物濃度分布図)は、本実施の第4形態におけるタタキオートの説明図を示す。できるだけ図2に準じて同じ名前には同一符号を付けて、その詳細を説明を省略する。図7において、符号10.1、p1-nタタキオートにおける複数段のn型不純物層(7)中には、第1 n型不純物層(7)は、第2 n型不純物層(7)より(2倍)のnカーボン層(8)と下層(9)との間に形成される。複数段のn型不純物層(7)を示す。

【0053】前記(8)式記述のn型不純物層(10)の不純物濃度は前記複数段のn型不純物層(7)を最終段とする第2 n型不純物層(7)と比較の場(前記第1 n型不純物層)の濃度N_{n10}よりも低いものとする。例文は上層1(不純物濃度N_{n1})よりも低くても良い。また、前記(8)型不純物層(10);(図8 A(概略構成図)、B(不純物濃度分

布図)に示すように複数段(図8中では、第1 n型不純物層10 a、第2 n型不純物層10 bの2段)でも良い。

【0054】次に、本発明の実施の第6形態を説明する。図9に示したp1-nタタキオートの場合は、 \times はn_n接合よりnカーボン側に位置し、基子内部に位置する必要は無いと記載したが、その付近にn_n接合よりも \times をnカーボン側に位置した場合においても問題は無い。例文、図9 A(概略構成図)、B(不純物濃度分布図)より、 \times をnカーボン側に位置した場合に示すように、 \times よりn_n接合よりnカーボン側に位置した場合、n型不純物層11の不純物濃度N_{n11}はn型不純物層11における不純物濃度の最高値よりも極めて低い部分(符号11 a)が形成される。また、極端な一例として、図10 A(概略構成図)、B(不純物濃度分布図)に示すように、図9中のn型不純物層11とn型カーボン層(12)との間にn型不純物層11の不純物濃度の低いn型不純物層12を形成した場合においても、 \times 付近に示すタタキオート上に同様の効果が伴われる。

【0055】次に、本発明の実施の第7形態を説明する。図11 A(概略構成図)、B(不純物濃度分布図)は、実施の第7形態におけるタタキオート。主な説明を省略する。図11において、符号11 a、11 bは、 \times を設けた不純物濃度が異なるエピタキシャル成長を示す。基板の張り合せにより上層1とn型ウエーブ層(2)層(3)との間に形成される第1、第2 n型不純物層(不純物濃度:第1 n型不純物層11 a、第2 n型不純物層11 b)を示す。符号11 a、11 bは、それらの不純物濃度が異なる、エピタキシャル成長を示す基板の張り合せにより前記第2 n型不純物層11 bとn型カーボン層(3)との間に形成される第1、第2 n型不純物層(不純物濃度:第1 n型不純物層11 a、第2 n型不純物層11 b)を示す。

【0056】エピタキシャル成長を示す基板の張り合せにより、上層1とn型カーボン層(3)との間にn型不純物層(3)とn型ウエーブ層(2)との間に複数個形成することにより、 \times を設けたタタキオート上に形成される。なお、図11に示すようにタタキオート上において、 \times とn型カーボン層(3)との間に形成される比較的濃い濃度の不純物層(図11中では第1 n型不純物層11 a、第2 n型不純物層11 b)は、必然により形成しても良い。

【0057】次に、タタキオート上における電圧復終了時の急激な電流増加を緩和する方法として、p1-nタタキオートにおける上電極ノード付近のp1-nタタキオート、n型カーボン層以外の領域におけるジグザグタイムと比較して長めにする方法を説明する。

【0058】図12は、厚さが500 nmのp+ nダイオードにおいて、種々の加速エネルギーで電子線照射した際のシリコウ中の深さに対する吸収量(規格化した吸収量)分布特性図であり、電子線とシリコウ(基板)との間に50 nmのエアギャップが存在したモデルのものである。結果を示すものである。前記吸収量(アーフラム)とは、吸収量を加速度に依存しないアーフラムとは同じ相間を有し、その吸収量が大きくなるほどアーフラムは減少する。そのため、図12により、加速エネルギーに対するアーフラムを読み取ることができます。

【0059】図12によると、電子線の加速電圧が0.5 MeVの場合は(曲線a)、p+ nダイオードにおける照射される側の表面(深さ0 μm; 以下、照射面と称する)に近くなるほどアーフラムは減少し、その照射面から離れるほど連れて電子線によるアーフラムの影響が無くなることを読み取れる。前記加速電圧が1 MeV(曲線b)の場合は、p+ nダイオードにおける照射面からの深さが10 nm付近が最もアーフラムが減少となり、その深さが200 nm付近から遠くなるほど連れてアーフラムが増加していくことを読み取れる。前記加速電圧が2 MeV(曲線c)、5 MeV(曲線d)の場合は、p+ nダイオードにおける照射面からの深さに連れてアーフラムが増加する傾向を示すことを読み取れる。

【0060】図12によると、アーフラム分布に大きな影響を及ぼす要因を考慮する上、p+ nダイオードにおける各型カソード層付近のアーフラム、すなわち電子線の照射方法によって、本発明の実施の第8形態により説明する。

【0061】本実施の第8形態における電子線照射方法は、図13A(概略構成図)、B(干渉物濃度分布図)、C(吸収量分布図)に示すように、p+ nダイオードにおけるp型アーフラム層2側の端部から、中加速電圧および低加速電圧の電子線を照射する。また、図14A(概略構成図)、B(干渉物濃度分布図)、C(吸収量分布図)

によると、p+ nダイオードにおけるp型アーフラム層2側の端部から中加速電圧および低加速電圧の電子線を照射することに、p+ nダイオードにおけるアーフラムを制御することは可能である。なお、本実施の第8形態においては、p+ nダイオードのアーフラムを長くする位置は、電流の急激な減少を起こす直前の印加電圧によって生じる電界において、上層1側の端部よりp型カソード層3との間に位置する。そのため、直に素子全体をカソード側のアーフラムを長くすれば良いというものではない。

【0062】図13-14においては、比較的低い加速電圧の電子線を上層1側の端部よりp型カソード層3側の端部から照射する。または比較的高い加速電圧の電子線をp+ nダイオードにおけるp型アーフラム層2側の端部から照射することにより、p+ nダイオードにおけるアーフラムを制御することは可能である。なお、本実施の第8形態においては、p+ nダイオードのアーフラムを長くする位置は、電流の急激な減少を起こす直前の印加電圧によって生じる電界において、上層1側の端部よりp型カソード層3との間に位置する。そのため、直に素子全体をカソード側のアーフラムを長くすれば良いといつものではない。

【0063】本実施の第8形態におけるサイクルタイム制御方法は電子線を照射したものであるが、その電子線以外に、(1)ヘリウム等の荷電粒子の照射を行なう場合には、半周期が狭くなるため、高い加速電圧により前記半周期を広げる。または素子に対して種々の方向から照射を行なうことにより、前記電子線の照射と同様の効果が得られる。荷電粒子は、ヘリウム等の荷電粒子の照射によるか、サイクル制御方法によれば、本発明の実施の第1-1-1-1形態により説明する。

【0064】本実施の第9形態におけるサイクルタイム制御方法は、図15A(概略構成図)、B(干渉物濃度分布図)、C(吸収量分布図)に示すように、p+ nダイオードにおけるp型カソード層2側の端部から、同1種類の荷電粒子を複数回印加(複数照射)する。また、図15Bに示すように、干渉物濃度分布図の場合、その干渉物濃度分布に応じて上層1側の端部よりp型カソード層3側の端部から、中加速電圧を照射する。一方の複数照射をp+ nダイオードにおけるp型カソード層2側の端部から、或いは前記2回の複数照射をそれぞれ別々の方向(p+ nダイオードにおけるp型カソード層2側の端部からp型カソード層3側の端部)から行なう。

【0065】前記照射の順序を調整するには、加速電圧を変化させる。常に印加電圧と被照射端との間に、1/2πの位相差を保つ。干渉物濃度分布図における板を並べさせ、その板の順序を種々調整することによって得られる。一方の電流の急激な減少が起こる直前の印加電圧によって生じる電界において、上層1側の端部よりp型カソード層3側の端部から、中間の領域の吸収量は、その上層1側の端部からp型カソード層3側の端部との間の領域以外の部分と比較して少ないをもたらすp+ nダイオードの設計を行なう。

【0066】本実施の第10形態におけるサイクルタイム制御方法は、図16A(概略構成図)、B(干渉物濃度分布図)、C(吸収量分布図)に示すように、p+ nダイオードにおけるp型カソード層2側の端部から、それそれに垂直な端部から複数回、(1)中加速電圧を複数照射する。

【0067】そのp+ nダイオードにおけるp型カソード層2側の端部から複数照射を行なっているが、その複数照射をp型カソード層2側におけるp型カソード層3側の端部、或いは複数照射をそれそれに垂直な端部から複数回、(2)中加速電圧を複数照射を行なっている。そのp型カソード層3側の端部における複数照射を行なう。

【0068】前記複数照射における照射深さを調整するには、印加電圧を変化させ、或いは照射源と被照射物体との間に、1/2πの位相差を保つ。干渉物濃度分布図における板を並べさせ、その板の順序を種々調整することにより行なわれる。その際、電流の急激な減少が起こる直前の印加電圧において、上層1側の端部よりp型カソード層3との間の領域の吸収量は、その上層1側の端部よりp型カソード層3との間の領域以外の部分と比較して少ない。

較して少なくなるように p-i-n ダイオードの設計を行う。

【0069】本実施の第 1 の形態におけるダイオード制御方法以外で、主または副金属のダイオード、エmitter を p-i-n ダイオードにおける U 型アーチ層と側の端部から剥離することにより、電流の急激な減少が起こる直前に印加電圧によって生じる電界において、上層 1 側の一端を上に電界アーチ層とその間に形成する p-i-n ダイオードを用いた方法において、本実施の第 1 の形態における照射方法と同様の効果が得られる。

【0069】次に、本発明の実施の第 1 の形態におけるダイオード制御方法を、図 1-7-A(概略構成図)、B(純物濃度分布図)、C(吸収量分布図)の説明図に基づいて説明する。なお、図 1-7 は、斜面側と斜面をもつ凸面側を示す。その説明を省略する。

【0070】図 1-7-A は、斜面側の導通部をカットする斜面に、上層の導通部を除いて、下層の濃度、電子の供給源をなくす。下層の濃度、そして p-i-n ダイオードの上層 1 にかかる電界アーチ層と側の端部から剥離する一端を上に電界アーチ層とその間に形成する p-i-n ダイオードにおける U 型アーチ層と側の端部から剥離する電離子を照射し、荷電粒子の吸収率と曲線分布を示す。図 1-7-A は、斜面側の U 型アーチ層と側の端部から剥離する電離子を照射する構造を示す。図 1-7-A は、斜面側の導通部をカットする斜面に、上層の導通部を除いて、下層の濃度、電子の供給源をなくす。下層の濃度、そして p-i-n ダイオードの上層 1 にかかる電界アーチ層と側の端部から剥離する電離子を照射し、荷電粒子の吸収率と曲線分布を示す。図 1-7-A は、斜面側の U 型アーチ層と側の端部から剥離する電離子を照射する構造を示す。

【0071】図 1-7 に示す上に示す「下層電離子」には、電流の急激な減少が起こる直前に印加電圧によって生じる電界において、上層 1 側の一端を上に電界アーチ層とその間に形成する p-i-n ダイオードの上層 1 にかかる電界アーチ層と側の端部から剥離する電離子を照射する。

【0072】図 1-7 に示す上に示す「下層電離子」は、一般的に知られていて p-i-n ダイオードの説明図。

【0073】図 1-7 に示す上に示す「下層電離子」は、一般的に知られていて p-i-n ダイオードの説明図。

【0074】本発明の実施の第 1 の形態におけるダイオード制御方法は、順方向電圧降下率が主として特徴的で、設置電圧と逆方向電圧の急激な電流減少により効果的に緩和し、その電流減少による誘導電圧を低減することができ、安定したダイオードの動作を実現することができる。このような

効果は、拡散プロセスを用いた場合においても得られる。

【図面の簡単な説明】

【図 1】本発明の実施の第 1 の形態における p-i-n ダイオードの説明図。

【図 2】本発明の実施の第 2 の形態における p-i-n ダイオードの説明図。

【図 3】本発明の実施の第 3 の形態における p-i-n ダイオードの説明図。

【図 4】本発明の実施の第 4 の形態における p-i-n ダイオード (N₁ > N₂) の説明図。

【図 5】本発明の実施の第 4 の形態における p-i-n ダイオード (N₁ < N₂) の説明図。

【図 6】本発明の実施の第 4 の形態における p-i-n ダイオード (N₁ < N₂) の説明図。

【図 7】本発明の実施の第 5 の形態における p-i-n ダイオード (N₁ > N₂) の説明図。

【図 8】本発明の実施の第 5 の形態における p-i-n ダイオード (N₁ > N₂) の説明図。

【図 9】本発明の実施の第 6 の形態における p-i-n ダイオード (N₁ > N₂) の説明図。

【図 10】本発明の実施の第 6 の形態における p-i-n ダイオード (N₁ > N₂) の説明図。

【図 11】本発明の実施の第 7 の形態における p-i-n ダイオードの説明図。

【図 12】リレー中の深さに対する吸収量分布図。

【図 13】本発明の実施の第 8 の形態におけるダイオード制御方法 (カット側) の説明図。

【図 14】本発明の実施の第 8 の形態におけるダイオード制御方法 (カット側) の説明図。

【図 15】本発明の実施の第 9 の形態におけるダイオード制御方法の説明図。

【図 16】本発明の実施の第 10 の形態におけるダイオード制御方法の説明図。

【本制御方法の説明】

【図 1-8】一般的に知られていて p-i-n ダイオードの説明図。

【図 1-9】U 型アーチ層を用いた p-i-n ダイオードの構造図。

【図 1-10】一般的に知られていて p-i-n ダイオードの電流-電圧特性図。

【図 1-11】一般的に知られていて p-i-n ダイオードのアーチ電流特性図。

【図 1-12】一般的に知られていて p-i-n ダイオードの電子濃度特性図。

【図 1-13】一般的に知られていて p-i-n ダイオードホール濃度特性図。

【図 1-14】一般的に知られていて p-i-n ダイオード電界

強度特性図。

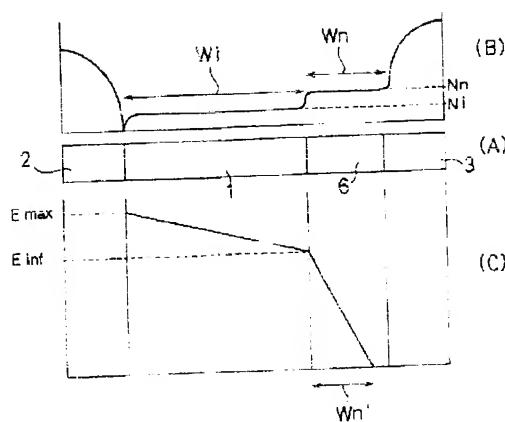
【符号の説明】

1 … i層
2 … p型アノード層
3 … n⁺型カソード層
6, 11 … n型不純物層

7 a, 13 a … 第1 n型不純物層
7 b, 13 b … 第2 n型不純物層
8 … n型拡散層
9, 10, 12 … n⁻型不純物層
10 a, 14 a … 第1 n⁻型不純物層
10 b, 14 b … 第2 n⁻型不純物層

【図1】

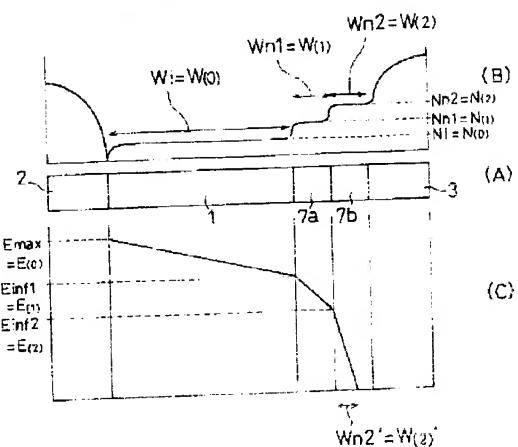
本発明の実施の第1形態におけるp-i-nダイオード



1 … i層
2 … p型アノード層
3 … n⁺型カソード層
6 … n型不純物層

【図2】

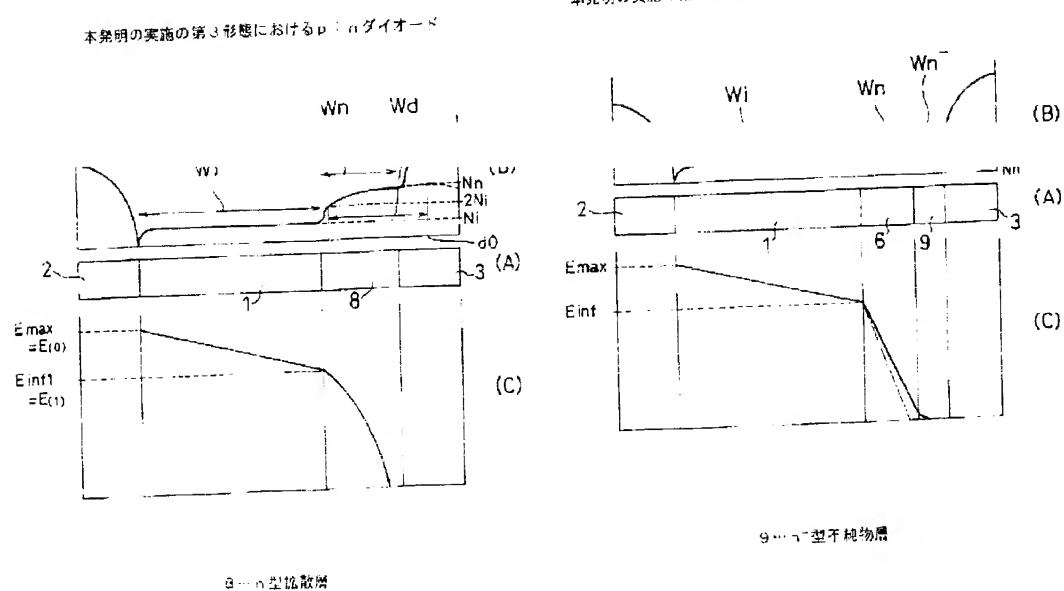
本発明の実施の第2形態におけるp-i-nダイオード



7 a … 第1 n型不純物層
7 b … 第2 n型不純物層

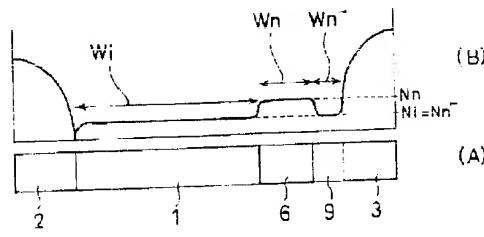
【図4】

本発明の実施の第3形態におけるp-i-nダイオード

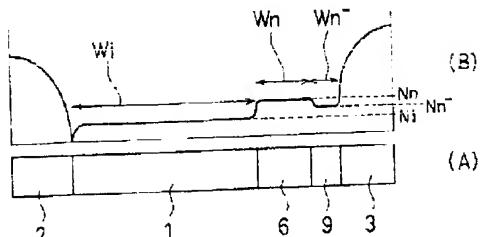


9 … n⁻型不純物層

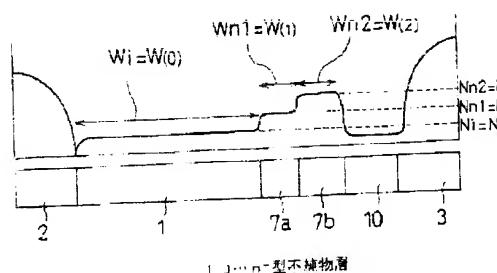
【図5】

本発明の実施の第4形態におけるp-i-nダイオード ($N_i = N_{n^-}$)

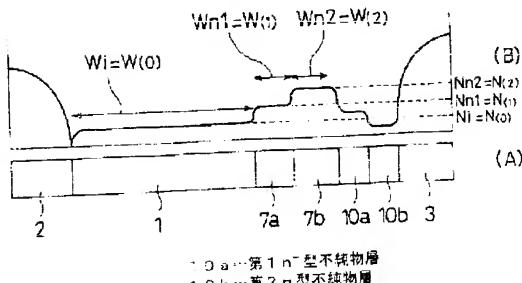
【図6】

本発明の実施の第4形態におけるp-i-nダイオード ($N_i < N_{n^-}$)

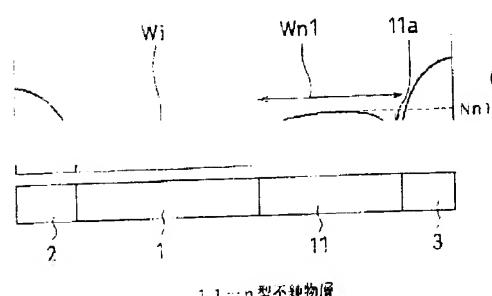
【図7】

本発明の実施の第5形態におけるp-i-nダイオード (n^- 型不純物層 10)

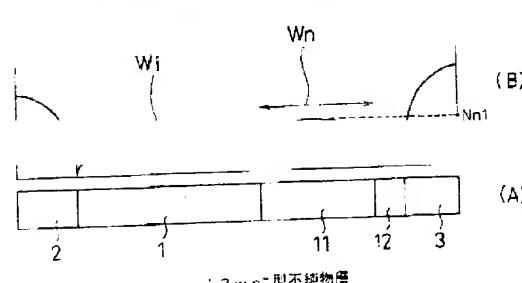
【図8】

本発明の実施の第5形態におけるp-i-nダイオード
(n^- 型不純物層 10a, 10b)

【図9】

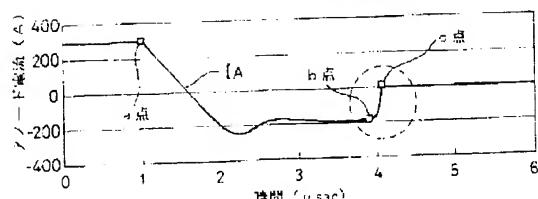
本発明の実施の第6形態におけるp-i-nダイオード
(n^- 型不純物層 11のみ)

【図10】

本発明の実施の第6形態におけるp-i-nダイオード
(n^- 型不純物層 11と n^- 型不純物層 12)

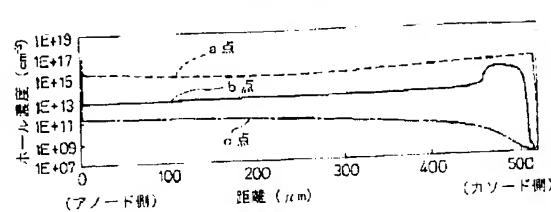
【図21】

p-i-nダイオードのアノード電流特性図

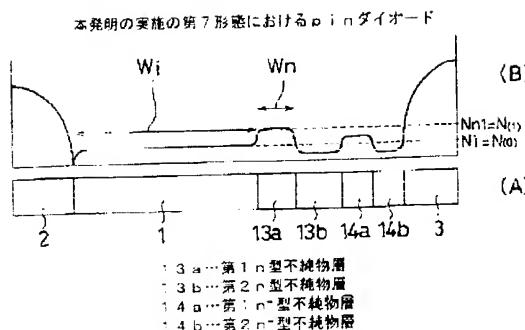


【図23】

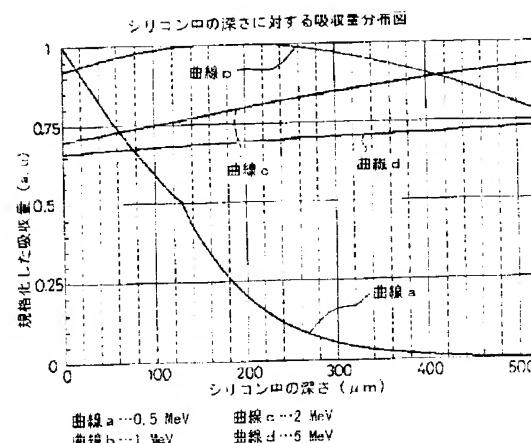
p-i-nダイオードホール濃度特性図



【図1-1】

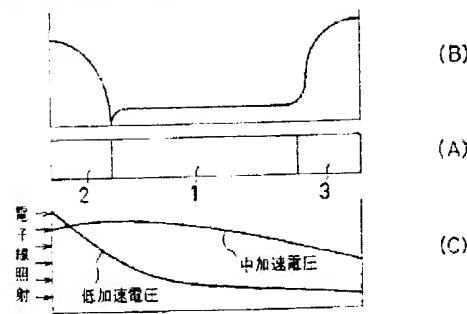


【図1-2】



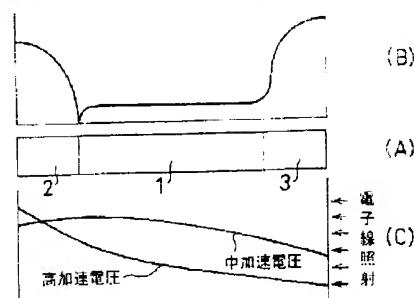
【図1-3】

本発明の実施の第8形態におけるライフタイム制御方法（アノード側）



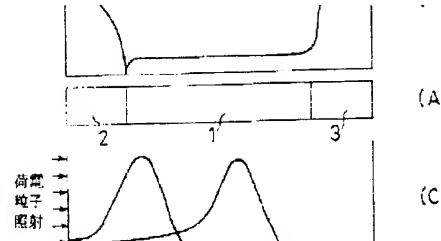
【図1-4】

本発明の実施の第8形態におけるライフタイム制御方法（カソード側）

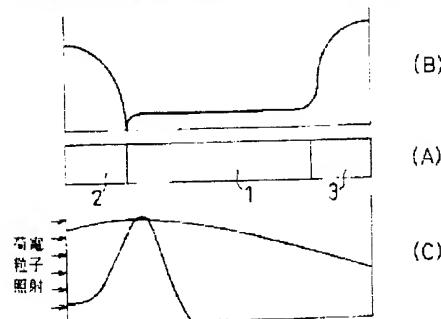


【図1-5】

本発明の実施の第9形態におけるライフタイム制御方法

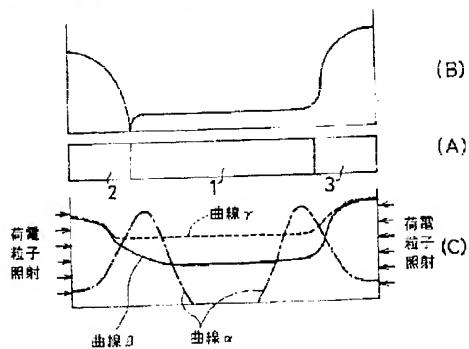


本発明の実施の第9形態におけるライフタイム制御方法



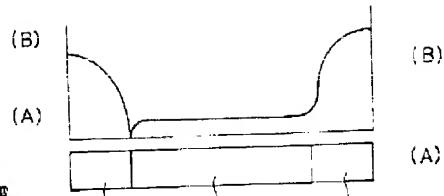
【図17】

本発明の実施の第11形態におけるライフタイム制御方法



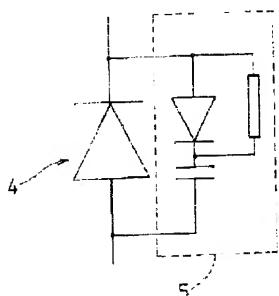
【図18】

一般的に知られているp-i-nダイオード



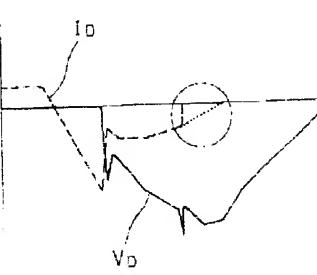
【図19】

スナップ回路を用いたp-i-nダイオードの回路図



【図20】

p-i-nダイオードの電流・電圧波形図



【図24】

【図22】
p-i-nダイオードの電子濃度特性図

